



(A21)

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)
(12) PATENT LAID-OPEN GAZETTE (A)

(51) ○ Int. Cl. ⁷

G11C 29/00

(11) Laid-Open Publication No.: 2003-0022611

(43) Laid-Open Publication Date: March 17, 2003

(21) Application No. 10-2001-0055949

(22) Filing Date: September 11, 2001

(71) Applicant: Samsung Electronics Co., Ltd.

416, Maetan 3-dong, Paldal-gu, Suwon-si, Kyungki-do

(72) Inventor: Hui Choon LEE

203-201 Sejong Regency Ville 2-3BL, Googal-ri, Kiheung-eup,
Yongin-si, Kyungki-do

Byung Joo Kim

202-1501 Samsung Apt., Sungnae 1-dong, Gangdong-gu, Seoul

(74) Patent Attorney(s): Chang Hyun LIM

Request for Examination: Yes

(54) SEMICONDUCTOR MEMORY DEVICE

ABSTRACT

A semiconductor memory device comprises a plurality of sub word lines corresponding to a main word line, a plurality of redundancy sub word lines corresponding to a redundancy main word line, a plurality of redundancy memory cells connected one by one to the redundancy sub word lines, and a redundancy control circuit for disabling a main word line selector when one connected to a main memory cell having a defect is designated from the sub word lines and replacing the sub word line with the redundancy main word line. Particularly, since the number of the redundancy sub word lines connected to the redundancy main word line is smaller than that of the sub word lines connected to the main word line, the main word line selector is enabled when one connected to a normal main memory cell is designated from the sub word lines connected to the main word line, thereby improving redundancy flexibility and reducing the circuit area.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 29/00	(11) 공개번호 (43) 공개일자	특 2003-0022611 2003년03월17일
(21) 출원번호	10-2001-0055949	
(22) 출원일자	2001년09월11일	
(71) 출원인	삼성전자주식회사	
(72) 발명자	경기도 수원시 팔달구 매탄3동 416번지 이희춘 경기도용인시기흥읍구갈리세종리젠시빌2-3BL203동201호 김병주 서울특별시강동구성내1동삼성아파트202동1501호 임창현	
(74) 대리인		

심사청구 : 있음

(54) 반도체 메모리 장치

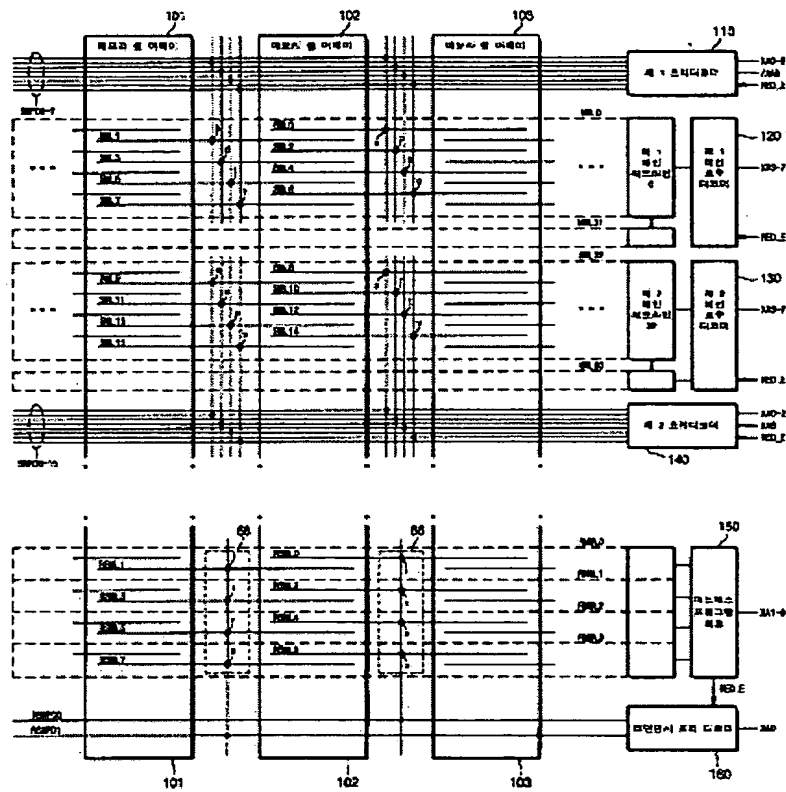
요약

여기에 개시된 반도체 메모리 장치는, 메인워드라인에 대응하는 복수 개의 서브워드라인들, 리턴던시 메인워드라인에 대응하는 복수 개의 리턴던시 서브워드라인들, 상기 리턴던시 서브워드라인들 각각에 연결되는 복수 개의 리턴던시 메모리 셀들 그리고 상기 복수 개의 서브워드라인들 중 결합있는 메인 메모리 셀이 연결된 서브워드라인이 지정될 때 상기 메인워드라인 선택기를 디세이블하고, 상기 서브워드라인이 상기 리턴던시 메인워드라인으로 대체되도록 제어하는 리턴던시 제어 회로를 포함한다. 특히, 리턴던시 메인워드라인에 연결되는 상기 리턴던시 서브워드라인들의 개수는 상기 메인워드라인에 연결되는 상기 서브워드라인들의 개수보다 작아서, 메인워드라인과 연결된 서브워드라인들 가운데 정상적인 메인 메모리 셀이 연결된 서브워드라인이 지정될 때에는 상기 메인워드라인 선택기를 인에이블함으로써 리턴던시 플렉시빌리티가 향상되며, 회로 면적을 축소시킬 수 있다.

DBS

도 3

53A
53B



색인어

DRAM, 리턴던시, 플렉시빌리티

영생서

도면의 간단한 설명

도 1은 종래의 메모리 장치를 보여주는 도면;

도 2는 도 1에 도시된 메모리 장치의 리던던시 동작과 관련된 회로 구성들을 상세히 보여주는 도면;

도 3a 및 도 3b는 본 발명의 바람직한 실시예에 따른 메모리 장치를 보여주는 도면;

도 4는 도 3a 내지 도 3b에 도시된 메모리 장치의 리턴던시 동작과 관련된 히로 구성들을 상세히 보여주는 도면; 그리고

도 5는 도 4에 도시된 어드레스 프로그램 회로를 보여주는 도면이다.

* 도면의 주요 부분에 대한 부호의 설명

101, 102, 103 : 메모리 셀 어레이 110 : 제 1 프리디코더

120 : 제 1 메인 로우 디코더 130 : 제 2 메인 로우 디코더

140 : 제 2 프리디코더 150 : 어드레스 프로그램 회로

160 : 리던던시 프리디코더

MWL0~31 : 제 1 메인 워드 라인 MWL32~63 : 제 2 메인 워드 라인

a~h, p~w : 서브 로우 디코더 i~p : 리턴던시 서브 로우 디코더

SWPD0~7, SWPD8~15 : 프리디코딩 라인
 RSWPD0, RSWPD1 : 리던던시 프리디코딩 라인
 200 : 디코더310~313 : 퓨즈 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 더 자세하게는 리던던시 기능을 갖는 반도체 메모리 장치에 관한 것이다.

또한, 본 발명은 데이터의 액세스 속도를 향상시킨 반도체 메모리 장치에 관한 것이다.

반도체 메모리 장치는 시스템 내에서 처리되는 데이터를 기억한다. 기억 단위인 메모리 셀은 시스템 내에서 처리되는 데이터를 안정적으로 저장할 수 있어야 한다. 따라서, 각 메모리 셀에 대한 테스트 과정이 필수적으로 요구된다.

리던던시 회로(redundancy circuit)는 테스트 결과 결함있는 셀(defective cell)들을 예비의 메모리 셀(redundant memory cell)들로 대체하기 위해 메모리 장치에 내장되는 스페어 회로라 할 수 있다. 이러한 리던던시 회로는 결함있는 셀을 지정하는 외부 어드레스가 입력될 시 결함있는 셀과 유기적으로 연결된 워드라인을 디스이블(disable)시키고 결함있는 셀에 대응하는 예비의 메모리 셀을 액세스한다.

또한, 메모리 장치는 CPU 속도에 즉각적으로 반응하는 능력을 가져야 한다. 이것은 시스템 사용자들이 바라는 가장 이상적인 요구사항으로, 메모리에 있어서는 데이터의 액세스 시간을 단축하는 것이다. 이를 위해서는 데이터의 액세스 신호를 전송하는 각 신호 라인들의 부담(Load)을 줄여야 한다. 일본특개평7-182892(출원일 : 1993. 12. 22)에는 메인워드라인과 워드라인에 계층화된 행 디코더를 갖는 반도체 메모리 장치에 있어서, 예비의 메인워드라인 수를 증가시키고 차속에 대응하는 구제본 수를 향상시켜 최소의 확장 회로면적을 갖는 반도체 메모리 장치가 제공된다. 일본특개평8-340089(출원일 : 1995. 5. 2)에는 금속배선의 저저항화를 통한 고속화를 이루기 위한 디램장치가 제공된다. 일본특개평10-308091(출원일 : 1997. 5. 2)에는 계층형 워드라인 방식의 이점을 유지하여 전력증가를 억제하고 고속화 및 저면적화를 도모한 반도체 기억장치를 제공한다. 일본특개평10-320979(출원일 : 1998. 4. 14)에는 배선을 단축시켜 신호의 전송속도를 향상시키고 집적도를 향상시키기 위한 것이다. 그리고 미국 특허 5,764,585(출원일 : 1996. 6. 7)는 각각이 하나의 메인워드라인에만 연결되는 복수 개의 메인 로우 디코더들과 각각이 상기 하나의 메인워드라인과 복수 개의 서브워드라인들에 연결되는 복수 개의 서브 로우 디코더들을 포함하는 디램 장치에서, 메인 로우 디코더들의 부담을 줄여 상기 장치의 액세스 속도를 향상시킨 것이다. 상기한 선행기술들은 칩의 레이아웃을 개선하여 고속화를 지향한다. 본 발명은 리던던시 플렉시빌리티(Redundancy Flexibility)를 높이고 프리디코딩 라인의 부담(Load)을 최소화한다. 특히, 본 발명은 리던던시 플렉시빌리티를 향상시키고자 한다.

도 1은 종래의 DRAM의 회로 구성을 보여주는 도면이다. 도 1을 참조하여, 종래의 DRAM(Dynamic Random Access Memory)은 복수 개의 메모리 셀들을 갖는 복수 개의 메모리 셀 어레이들(10, 12 및 14), 메인 로우 디코더(16), 복수 개의 메인워드라인들(MWL0 ~ MWL63), 프리디코더(30), 어드레스 프로그램 회로(32), 리던던시 메인워드라인(RMWL), 서브 로우 디코더들(a-h), 그리고 리던던시 서브 로우 디코더들(i-p)을 포함한다. 본 출원인은 복수 개의 메모리 셀 어레이를 위로 배선되는 워드라인들과 이들을 구동하는 장치들을 중심으로 기술한다. 참고로, 이하의 실시예들에서 사용되는 외부 어드레스들은 XA0 내지 XA80이다.

메인 로우 디코더(16)는 외부의 로우 어드레스들(XA3~8)에 따라서 64 개의 메인워드라인들(MWL0~63) 중 하나를 활성화한다. 64 개의 메인워드라인들(MWL0~63) 각각은 메인 로우 디코더(16)의 일측에 연결되고 메모리 셀 어레이들(10, 12 및 14) 위로 수평으로 배선된다. 서브 로우 디코더들(a, c, e 및 g) 각각은 인접한 두 개의 메모리 셀 어레이들(12, 14) 사이에 위치하고, 상기 셀 어레이들(12, 14) 위로 배선되는 서브워드라인들(SWL0, 2, 4 및 6) 중의 대응하는 하나의 서브워드라인을 통하여 메인워드라인에 연결된다. 서브 로우 디코더들(b, d, f 및 h) 각각은 인접한 두 개의 메모리 셀 어레이들(10, 12) 사이에 위치하고, 상기 셀 어레이들(10, 12) 위로 배선되는 서브워드라인들(SWL1, 3, 5 및 7) 중의 대응하는 하나의 서브워드라인을 통하여 메인워드라인에 연결된다.

프리디코더(30)는 외부의 로우 어드레스들(XA0~2)에 따라서 8 개의 프리디코딩 라인들(SWPD0~7) 중의 하나를 활성화한다. 상기 프리디코딩 라인들(SWPD0~7) 각각은 셀 어레이들(10, 12, 및 14)의 상부 및 그들의 사이에 각각 수평하게 그리고 수직하게 배선되어서, 대응하는 서브 로우 디코더들(a-h) 각각을 프리디코더(30)의 일측에 연결한다. 상기한 구성에 의하면, 종래의 프리디코딩 라인들(SWPD0~7) 각각은 64 개의 서브 로우 디코더들과 연결된다.

상기 어드레스 프로그램 회로(32)는 리페어 동작시 상기 메인 로우 디코더(16)로 입력되는 외부의 어드레스들과 동일한 어드레스들(XA3~8)을 받아들이어 리던던시 메인워드라인(RMWL)을 활성화한다. 리던던시 메인워드라인(RMWL)은 상기 어드레스 프로그램 회로(32)의 일측에 연결되며 메모리 셀 어레이들(12~14) 위로 수평으로 배선된다. 리던던시 서브 로우 디코더들(i, k, m 및 l) 각각은 인접한 두 개의 메모리 셀 어레이들(12, 14) 사이에 위치하고, 리던던시 서브워드라인들(RSWL0, 2, 4 및 6) 가운데 대응하는 리던던시 서브워드라인을 상기 리던던시 메인워드라인(RMWL)과 연결한다. 또한, 리던던시 서브 로우 디코더들(j, l, n 및 p) 각각은 인접한 두 개의 메모리 셀 어레이들(10, 11) 사이에 위치하고, 리던던시 서브워드라인들(RSWL1, 3, 5 및 7) 가운데 대응하는 리던던시 서브워드라인을 상기 리던던시 메인워드라인(RMWL)과 연결한다.

상술한 바와 같은 구성을 가지는 메모리 장치의 동작은 다음과 같다. 64 개의 메인워드라인들(MWL0~63) 각각은 외부의 로우 어드레스들(XA3~8)의 조합에 따라 활성화된다. 예컨대, 메인 로우 디코더(16)로 입력되는 외부의 로우 어드레스들(XA3~8)이 모두 '0' (즉, '000000')일 때 메인워드라인(MWL0)만이 활성화되고 나머지 워드라인들(MWL1~63)은 비활성화된다.

프리디코더(30)는 외부의 로우 어드레스들(XA0~2)에 따라서 8 개의 프리디코딩 라인들(SWPD0~7) 중의 하나만을 활성화한다. 예컨대, 로우 어드레스들(XA0~2)이 모두 '0' (즉, '000')이면 프리디코딩 라인(SWPD0)만이 활성화되고 나머지 프리디코딩 라인들(SWPD1~7)은 비활성화된다.

전술한 바와 같이, 복수 개의 서브 로우 디코더들(a-h) 각각은 대응하는 서브워드라인을 통하여 64 개의 메인워드라인들(MWL0~63) 중의 하나와 연결된다. 따라서, 상기 서브 로우 디코더들(a-h) 각각은 유기적으로 결합된 메인워드라인과 프리디코딩 라인이 모두 활성화될 때 활성화된다. 앞서 예시적으로 설명된 바와 같이, 0 번째 메인워드라인(MWL0)과 0 번째 프리디코딩 라인(SWPD0)이 활성화된 경우에는 서브 로우 디코더(a)만이 활성화된다. 따라서, 상기 서브 로우 디코더(a)는 서브워드라인(SW0)과 연결된 메모리 셀들만이 활성화된다.

여기서, 상기 프리디코딩 라인(SWPD0) 상에 있는 프리디코딩 신호는 활성화된 0 번째 메인워드라인(MWL0)에 연결된 서브 로우 디코더(a)에만 공급되는 것이 가장 이상적이다. 하지만, 도 1에 도시된 바와 같이, 상기 프리디코딩 신호는 활성화된 0 번째 메인워드라인(MWL0)을 포함한 나머지 63 개의 메인워드라인들(MWL1~63)과 연결된 서브 로우 디코더들(a) 모두에 공급된다(즉, 64 개의 서브 로우 디코더들(a) 모두에 공급된다). 이것은 프리디코딩 라인(SWPD0)의 부담(Load)으로 작용한다. 신호적인 측면에서 볼때, 상기 프리디코딩 라인상의 데이터 액세스 신호는 최종적인 셀까지 공급되는데 물리적인 저항을 많이 받는다. 이러한 이유로, 종래의 메모리 장치는 데이터의 액세스 속도가 저하된다.

한편, 웨이퍼 제조 공정에서 발생하는 여러 원인으로 인해 메모리 셀에 결함이 발생할 시 리페어(repair)가 필요하다. 전술한 바와 같이, 리턴던시 회로는 결함있는 셀을 액세스하는 외부의 어드레스가 입력되면 상기 결함있는 셀에 연결되는 워드라인을 디스에이블시키고 리턴던시 워드라인을 인에이블시킨다. 도 1에 도시된 종래의 메모리 장치는 메인워드라인 단위로 리페어를 진행한다. 예컨대, 메모리 셀 어레이(12) 내에 존재하는 셀들 중 서브워드라인(SWL1)에 연결된 셀들에 결함이 발생할 때 메모리 장치의 동작은 다음과 같다.

전술한 바와 같이, 상기 서브워드라인(SWL1)은 메인워드라인(MWL0)과 프리디코딩 라인(SWPD0)이 활성화될 때 다시 말하면, 외부 어드레스가 '001000000'인 경우에 활성화된다. 그러므로, 어드레스 프로그램 회로(32)는 결함있는 셀과 연결된 서브워드라인(SWL1)을 선택하기 위한 어드레스(XA0~8) (즉, '001000000')가 입력되면, 상기 메인 로우 디코더(16)를 디스에이블시키고 대응하는 리턴던시 메인워드라인(RMWL)과 프리디코딩 라인(SWPD0)을 활성화시킨다. 이와 같은 방법에 의해서, 0 번째 메인워드라인(MWL0)과 연결된 전체 메모리 셀들은 리턴던시 메인워드라인(RMWL)으로 대체된다.

도 2는 도 1에 도시된 메모리 장치의 리페어 동작과 관련된 회로 구성을 보여주는 도면이다. 도 2에서는 0 번째 메인워드라인(MWL0)과 관련된 메인 로우 디코더(16)의 일부 회로 구성과 0 번째 프리디코딩 라인(SWPD0)과 관련된 프리디코더(30)의 일부 회로 구성을 도시하고 설명한다.

도 2를 참조하면, 어드레스 프로그램 회로(32)는 외부로부터 입력되는 로우 어드레스(XA3~8)와 자신에 저장된 어드레스를 비교하고, 비교 결과에 따라서 정상 모드 또는 리페어 모드를 나타내는 리턴던시 인에이블 신호(REDE)를 발생한다. 즉, 상기 제어 신호는 외부로부터 입력되는 로우 어드레스(XA3~8)와 상기 어드레스 프로그램 회로(32)에 저장된 어드레스가 일치하면 하이 레벨(즉, 논리 '1')로 되어 리페어 모드를 나타내고, 그들이 서로 일치하지 않으면 로우 레벨(즉, 논리 '0')로 되어 정상 모드를 나타낸다.

메인 로우 디코더(16)에서 0 번째 메인워드라인(MWL0)을 활성화시키는데 필요한 회로 구성들은 디코더(40), 인버터(44) 및 버퍼(45)이다. 나머지 메인워드라인들(MWL1~63)을 활성화시키는데 필요한 회로 구성들 각각은 0 번째 메인워드라인(MWL0)을 활성화시키는데 필요한 회로 구성들과 동일하므로, 이 실시예에서는 0 번째 메인워드라인(MWL0)과 관련된 회로 구성을 만들 도시하고 설명한다. 상기 디코더(40)는 낸드 게이트들(41~43)로 구성되며, 어드레스 프로그램 회로(32)로부터 출력된 리턴던시 인에이블 신호(REDE)가 하이 레벨인 동안 외부 로우 어드레스들(XA3~8)이 모두 로우 레벨이면(즉, '000000'이면) 0 번째 메인워드라인(MWL0)을 활성화시키기 위한 신호를 출력한다. 상기 버퍼(45)는 상기 디코더(40)로부터 출력되는 신호를 메인워드라인(MWL0)을 구동하는데 적합한 레벨로 변환하여 출력한다.

상기 프리디코더(30)에서 0 번째 프리디코딩 라인(SWPD0)을 활성화시키는데 필요한 회로 구성들은 앤드 게이트(51)와 버퍼(52)이다. 나머지 프리디코딩 라인들(SWPD0~7)을 활성화시키는데 필요한 회로 구성들 각각은 0 번째 프리디코딩 라인(SWPD0)을 활성화시키는데 필요한 회로 구성들과 동일하므로, 이 실시예에서는 0 번째 프리디코딩 라인(SWPD0)과 관련된 회로 구성을 만들 도시하고 설명한다. 상기 앤드 게이트(51)는 상기 어드레스(XA0~2)가 '000'이면 상기 프리디코딩 라인(SWPD0)을 구동하기 위한 신호를 출력한다. 상기 버퍼(43)는 상기 디코더(51)로부터 출력되는 신호를 상기 프리디코딩 라인(SWPD0)을 구동하는데 적합한 레벨로 변환하여 출력한다.

버퍼(60)는 상기 어드레스 프로그램 회로(32)로부터 출력되는 리턴던시 인에이블 신호(REDE)를 상기 리턴던시 메인워드라인(RMWL)을 구동하는데 적합한 레벨로 변환하여 출력한다. 상기 버퍼(60)는 상기 어드레스 프로그램 회로(32) 내에 구비될 수도 있다.

상술한 바와 같은 구성을 가지는 종래의 메모리 장치는, 어드레스 프로그램 회로(32)로부터 출력되는 제어 신호(REDE)가 로우 레벨일 때 메인워드라인들(MWL0~63) 가운데 하나가 활성화되는 정상 모드를 수행하고, 상기 제어 신호(REDE)가 하이 레벨일 때 리턴던시 메인워드라인(RMWL)이 활성화되는 리페어 모드를 수행한다.

그런데, 종래의 메모리 장치의 리페어 모드에서는 하나의 메인워드라인과 연결된 복수 개의 서브워드라인들 가운데 어느 하나라도 폐열인 경우 메인워드라인에 연결된 복수 개의 서브워드라인들 전체를 리턴던시

서브워드라인들로 대체해야만 했다. 즉, 워드라인 단위로 리페어를 수행하였다. 이는 리던던시 플렉시빌리티(Redundancy Flexibility)를 낮추고 회로 면적을 증가시킨다.

발명이 이루고자하는 기술적 과제

본 발명의 주된 목적은 프리디코딩 라인들의 부담을 줄여 고속 동작을 실현하기 위한 반도체 메모리 장치를 제공하는 것이다.

본 발명의 다른 목적은 리던던시 플렉시빌리티를 높은 반도체 메모리 장치를 제공하는 것이다.

본 발명의 또다른 목적은 회로 면적이 감소된 반도체 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

(구성)

상술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 반도체 메모리 장치는: 적어도 하나의 메인워드라인과; 상기 메인워드라인에 대응하는 복수 개의 서브워드라인들과; 상기 서브워드라인들 각각에 연결되는 복수 개의 메인 메모리 셀들과; 외부 어드레스에 따라서 상기 메인워드라인을 활성화시키는 메인워드라인 선택기와; 적어도 하나의 리던던시 메인워드라인과; 상기 리던던시 메인워드라인에 대응하는 복수 개의 리던던시 서브워드라인들과; 상기 리던던시 서브워드라인들 각각에 연결되는 복수 개의 리던던시 메모리 셀들; 그리고 상기 복수 개의 서브워드라인들 중 결합있는 메인 메모리 셀이 연결된 서브워드라인이 지정될 때 상기 메인워드라인 선택기를 디스에이블하고, 상기 서브워드라인이 상기 리던던시 메인워드라인으로 대체되도록 제어하는 리던던시 제어 회로를 포함한다.

상기 리던던시 메인워드라인에 연결되는 상기 리던던시 서브워드라인들의 개수는 상기 메인워드라인에 연결되는 상기 서브워드라인들의 개수보다 작다.

또한, 상기 리던던시 제어 회로는, 상기 복수 개의 서브워드라인들 중 정상인 메인 메모리 셀이 연결된 서브워드라인이 지정될 때 상기 메인워드라인 선택기를 인에이블한다.

바람직한 실시예에 있어서, 상기 리던던시 제어 회로는, 상기 결합있는 메인 메모리 셀의 로우 어드레스를 저장하며, 저장된 어드레스와 외부로부터 입력되는 어드레스를 비교하고, 비교결과 그들이 일치하면 리던던시 인에이블 신호를 발생하는 적어도 하나의 퓨즈 회로를 포함한다.

이 실시예에 있어서, 상기 메인워드라인 선택기는 상기 리던던시 인에이블 신호에 따라서 인에이블/디스에이블된다.

(작용)

이와 같은 구성의 반도체 메모리 장치는 리던던시 플렉시빌리티가 향상되고, 회로 면적이 감소된다.

(실시예)

본 발명의 반도체 메모리 장치(DRAM)는, 메인워드라인에 대응하는 복수 개의 서브워드라인들, 리던던시 메인워드라인에 대응하는 복수 개의 리던던시 서브워드라인들, 상기 리던던시 서브워드라인들 각각에 연결되는 복수 개의 리던던시 메모리 셀들 그리고 상기 복수 개의 서브워드라인들 중 결합있는 메인 메모리 셀이 연결된 서브워드라인이 지정될 때 상기 메인워드라인 선택기를 디스에이블하고, 상기 서브워드라인이 상기 리던던시 메인워드라인으로 대체되도록 제어하는 리던던시 제어 회로를 포함한다. 특히, 상기 리던던시 메인워드라인에 연결되는 상기 리던던시 서브워드라인들의 개수는 상기 메인워드라인에 연결되는 상기 서브워드라인들의 개수보다 작아서 리던던시 플렉시빌리티가 향상되며, 회로 면적을 축소시킬 수 있다.

이하 첨부도면들에 도시된 바람직한 실시예를 통해 본 발명을 구체적으로 기술한다.

도 3은 본 발명에 따른 메모리 장치를 설명하는 블록 회로도이다. 도 3을 참조하여, 본 발명에 따른 메모리 장치는 복수 개의 메모리 셀들을 갖는 메모리 셀 어레이들(101, 102 및 103), 제 1 프리디코더(110), 제 1 메인 로우 디코더(120), 상기 제 1 메인 로우 디코더(120)와 연결되고 상기 메모리 셀 어레이들(101, 102, 및 103)의 위로 수평하게 배선된 제 1 메인워드라인들(MWL0-31), 제 2 메인 로우 디코더(130), 상기 제 2 메인 로우 디코더(130)와 연결되고 상기 메모리 셀 어레이들(101, 102 및 103)의 위로 수평하게 배선된 제 2 메인워드라인들(MWL32-63), 제 2 프리디코더(140), 어드레스 프로그램 회로(150), 상기 어드레스 프로그램 회로와 연결되고 상기 메모리 셀 어레이들(101, 102 및 103)의 위로 수평하게 배선된 리던던시 메인워드라인들(RMWL0-3), 그리고 리던던시 프리디코더(160)를 포함한다.

제 1 프리디코더(110)는 외부 어드레스(XA8)에 따라서 8 개의 프리디코딩 라인들(SWP00-7) 중의 하나를 활성화한다. 상기 프리디코딩 라인들(SWP00 ~ SWP07) 각각은 셀 어레이들(101, 102 및 103)의 상부 및 그들의 사이에 각각 수평하게 그리고 수직하게 배선되어서 대응하는 서브 로우 디코더들(a-h) 각각을 프리디코더(30)의 일측에 연결한다.

제 2 프리디코더(140)는 외부 어드레스(XA8)에 따라서 8 개의 프리디코딩 라인들(SWP0815) 중의 하나를 활성화한다. 상기 프리디코딩 라인들(SWP08 ~ SWP15) 각각은 셀 어레이들(101, 102 및 103)의 상부 및 그들의 사이에 각각 수평하게 그리고 수직하게 배선되어서 대응하는 서브 로우 디코더들(p-w) 각각을 프리디코더(140)의 일측에 연결한다. 상기한 구성에 의하면, 본 발명의 프리디코딩 라인들(SWP00-7 및 SWP08-15) 각각은 32 개의 서브 로우 디코더들과 연결된다. 따라서, 종래에 하나의 프리디코딩 라인에 64 개의 서브 로우 디코더들이 연결된 것에 비해 프리디코딩 라인의 부담(load)이 감소되어서 데이터 액세스 속도는 2배 이상 향상된다.

제 1 메인 로우 디코더(120)는 외부의 로우 어드레스(XA3-7)에 따라서 32 개의 제 1

메인워드라인들(MWL0~31) 중에서 하나를 활성화한다. 32 개의 제 1 메인워드라인들(MWL0~31) 각각은 제 1 메인 로우 디코더(120)의 일측에 연결되고 메모리 셀 어레이들(101, 102 및 103) 위로 수평으로 배선된다. 서브 로우 디코더들(a, c, e 및 g) 각각은 인접한 두 개의 메모리 셀 어레이들(102, 103) 사이에 위치하고, 상기 셀 어레이들(102, 103) 위로 배선되는 서브워드라인들(SW0, 2, 4 및 6) 중의 대응하는 하나를 통하여 메인워드라인에 연결된다. 서브 로우 디코더들(b, d, f 및 h) 각각은 인접한 두 개의 메모리 셀 어레이들(101, 102) 사이에 위치하고, 상기 셀 어레이들(101, 102) 위로 배선되는 서브워드라인들(SW1, 3, 5 및 7) 중의 대응하는 하나를 통하여 메인워드라인에 연결된다.

제 2 메인 로우 디코더(130)는 외부의 로우 어드레스(XA3~7)에 따라서 32 개의 제 2 메인워드라인들(MWL32~63) 중에서 하나를 활성화한다. 32 개의 제 2 메인워드라인들(MWL32~63) 각각은 제 2 메인 로우 디코더(130)의 일측에 연결되고 메모리 셀 어레이들(101, 102 및 103) 위로 수평으로 배선된다. 서브 로우 디코더들(p, r, t 및 v) 각각은 인접한 두 개의 메모리 셀 어레이들(102, 103) 사이에 위치하고, 상기 셀 어레이들(102, 103) 위로 배선되는 서브워드라인들(SW8, 10, 12 및 14) 중의 대응하는 하나를 통하여 메인워드라인에 연결된다. 서브 로우 디코더들(q, s, u 및 w) 각각은 인접한 두 개의 메모리 셀 어레이들(101, 102) 사이에 위치하고, 상기 셀 어레이들(101, 102) 위로 배선되는 서브워드라인들(SW9, 11, 13 및 15) 중의 대응하는 하나를 통하여 메인워드라인에 연결된다.

상기 어드레스 프로그램 회로(150)는 외부 어드레스(XA0)를 제외한 상기 메인 로우 디코더들(120, 130)로 입력되는 외부의 어드레스들(XA3~7) 및 상기 프리디코딩 라인들(110, 140)로 입력되는 외부 어드레스들(XA8)과 동일한 어드레스들(XA1~8)을 받아들여 리던던시 메인워드라인들(RMWL0~3)을 활성화한다. 리던던시 메인워드라인들(RMWL0~3)은 상기 어드레스 프로그램 회로(150)의 일측에 연결되고 메모리 셀 어레이들(101, 102 및 103) 위로 수평으로 배선된다.

리던던시 프리디코더(160)는 외부의 로우 어드레스(XA0)에 따라서 2 개의 프리디코딩 라인들 중의 하나를 활성화한다. 상기 프리디코딩 라인들(RSWPD0~1) 각각은 셀 어레이들(101, 102 및 103)의 상부 및 그들의 사이에 각각 수평하게 그리고 수직하게 배선되어서, 대응하는 서브 로우 디코더들(i~p) 각각을 리던던시 프리디코더(160)의 일측에 연결한다.

리던던시 서브 로우 디코더들(i, k, m 및 o) 각각은 인접한 두 개의 메모리 셀 어레이들(102, 103) 사이에 위치하고, 리던던시 서브워드라인들(RMWL0, 2, 4 및 6) 각각을 리던던시 메인 서브워드라인들(RMWL0~3)에 연결한다. 또한, 리던던시 서브 로우 디코더들(j, l, n 및 p) 각각은 인접한 두 개의 메모리 셀 어레이들(101, 102) 사이에 위치하고, 리던던시 서브워드라인들(RMWL1, 3, 5 및 7) 각각을 리던던시 메인 서브워드라인들(RMWL0~3)에 연결한다.

이와 같은 본 발명에 의하면, 리던던시 메인워드라인들 각각에는 2 개의 리던던시 서브워드라인들이 연결되고, 리던던시 프리디코더(160)는 메인 프리디코더들(110, 140)과 별도로 구성되어서 리던던시 서브 로우 디코더들(i~o)을 제어한다. 따라서, 리던던시 플렉시빌리티를 향상시킬 수 있다.

도 4는 도 3에 도시된 메모리 장치에서 리페어 동작과 관련된 회로 구성들을 상세히 보여주는 도면이다. 도 4에서는 0 번째 메인워드라인(MWL0)과 관련있는 제 1 메인 로우 디코더(120)의 일부 회로 구성과 0 번째 프리디코딩 라인(WLPD0)과 관련된 프리디코더(110)의 일부 회로 구성을 도시하고 설명한다. 또한, 제 1 메인워드라인 디코더(120)와 제 1 프리디코더(110)는 도 2에 도시된 종래의 워드라인 디코더(16)와 동일한 회로 구성을 가지므로 중복되는 설명은 생략한다.

도 4를 참조하면, 어드레스 프로그램 회로(150)는 메모리 셀 어레이들(101, 102 및 103) 내의 결함있는 셀의 어드레스를 저장하기 위한 4 개의 퓨즈 회로들(310~313)을 포함한다. 상기 퓨즈 회로들(310~313)에는 서로 다른 결함 어드레스들이 각각 저장될 수 있다. 도 5는 도 4에 도시된 퓨즈 회로(310)의 상세한 회로 구성을 보여주어 있다. 도 4에 도시된 나머지 퓨즈 회로들(311~313)은 퓨즈 회로(310)와 동일한 회로 구성을 가지고 동일하게 동작하므로, 이 실시예에서는 퓨즈 회로(310)의 회로 구성만을 도시하였다. 도 5에 도시된 퓨즈 회로(310)는, 종래의 퓨즈 회로가 8비트 어드레스(XA3~8)만을 저장할 수 있도록 12 개의 퓨즈들로 구성되었던 것과는 달리, 8비트 어드레스(XA1~8)를 저장할 수 있도록 16 개의 퓨즈들(F11~F81 및 F12~F82), 상기 퓨즈들에 각각 대응하는 NMOS 트랜지스터들(MN11~81, MN21~82 그리고 MN13~83), 마스터 퓨즈 회로(420), 인버터(420), 그리고 낸드 게이트(440)를 포함한다. 퓨즈 회로(310)의 구체적인 동작은 통상의 기술자들에게 있어서 공지된 사실이므로 상세한 설명은 생략한다.

다시 도 4를 참조하면, 상기 퓨즈 회로들(310~313)은 외부 로우 어드레스(XA1~8)와 자신에 저장된 결함 어드레스를 비교하고, 그들이 서로 일치하면 하이 레벨(즉, 논리 '1')의 신호들(REDD_E~RED3_E)을 각각 출력한다.

노아 게이트(321)로부터 출력되는 신호는 상기 퓨즈 회로들(310~313)로부터 출력되는 신호들(REDD_E~RED3_E) 가운데 적어도 하나가 하이 레벨이면 하이 레벨로 되고, 그에 따라 인버터(322)로부터 출력되는 리던던시 인에이블 신호(REDE)는 로우 레벨로 된다. 따라서, 제 1 및 제 2 메인 로우 디코더들(120, 130) 및 제 1 및 제 2 프리디코더들(110, 140)은 모두 디세이블되고, 리던던시 프리디코더(160)는 인에이블된다.

어드레스 프로그램 회로(150) 내의 버퍼들(340~343)은 퓨즈 회로들(310~313)로부터 출력되는 신호들(REDD_E~RED3_E)을 리던던시 메인워드라인들(RMWL0~3)을 구동하기에 적합한 레벨로 변환해서 각각 출력한다. 이와 같은 구성에 의하면, 외부 로우 어드레스(XA1~8)와 일치하는 어드레스를 저장하고 있는 퓨즈 회로에 대응하는 리던던시 메인워드라인이 활성화된다.

리던던시 프리디코더(160)는 인버터들(323, 324, 327), 앤드 게이트들(325, 328) 그리고 버퍼들(326, 329)로 구성된다. 인버터들(323, 324)은 상기 리던던시 인에이블 신호(REDE)와 외부 어드레스(X0)를 각각 받아들여 반전시키고, 앤드 게이트(325)는 인버터들(323, 324)의 출력 신호들을 받아들여 논리 곱 연산을 수행한다. 인버터(327)는 상기 리던던시 인에이블 신호(REDE)를 받아들여 반전시키고, 앤드 게이트(328)는 상기 인버터(327)의 출력 신호와 상기 외부 어드레스(X0)를 받아들여 논리 곱 연산을 수행한다. 버퍼들(326, 329) 각각은 대응하는 앤드 게이트들(325, 328)로부터 출력되는 신호들을 리던던시 프

리디코딩 라인들(RSWPD0~1)을 구동하기에 적합한 레벨로 변환해서 출력한다. 그러므로, 만일 외부 어드레스(X0)가 '0'이면 리던던시 프리디코딩 라인(RSWPD0)이 활성화되고, '1'이면 리던던시 프리디코딩 라인(RSWPD1)이 활성화된다.

예를 들어, 로우 어드레스가 '0000000000'인 서브워드라인(SWL0)과 연결된 메모리 셀에 결합이 있고, 이 결합있는 셀의 어드레스가 제 2 퓨즈 회로(311)에 저장되어 있다고 가정하면, 외부로부터 입력되는 로우 어드레스(XA1~8)이 '00000000'일 때 제 2 퓨즈 회로(311)로부터 출력되는 신호(RED1_E)가 하이 레벨로 되고, 나머지 퓨즈 회로들(310, 312 및 313)로부터 출력되는 신호들(RED0_E, RED2_E 및 RED3_E)이 로우 레벨로 되어서 리던던시 인에이블 신호(RED_E)가 로우 레벨로 된다. 따라서, 제 1 및 제 2 메인워드라인 디코더들(120, 130)과 제 1 및 제 2 프리디코더들(110, 140)은 모두 디스에이블된다. 한편, 상기 제 2 퓨즈 회로(311)로부터 출력되는 신호(RED1_E)에 의해서 1번째 리던던시 메인워드라인(RMWL1)이 활성화된다. 외부 로우 어드레스(X0)가 '0'이므로 리던던시 프리디코딩 라인(RSWPD0)이 활성화되면서 리던던시 서브 로우 디코더(k)가 활성화된다. 그 결과, 서브워드라인(SWL0)은 리던던시 서브워드라인(RSWL2)으로 대체된다.

앞서 설명한 예처럼 로우 어드레스가 '0000000000'인 서브워드라인(SWL0)에 연결된 셀에 결합있는 경우에서, 외부로부터 로우 어드레스 '000000001'가 입력되는 경우(즉, 서브워드라인(SWL1)이 지정되는 경우) 메모리 장치의 동작은 다음과 같다. 외부 입력 어드레스의 상위 8비트 '00000000'는 상기 제 2 퓨즈 회로(311)에 저장된 8비트 어드레스 '00000000'와 일치하므로 상기 신호(RED1_E)가 하이 레벨로 되고, 나머지 퓨즈 회로들(310, 312 및 313)로부터 출력되는 신호들(RED0_E, RED2_E 및 RED3_E)이 로우 레벨로 되어서 리던던시 인에이블 신호(RED_E)가 로우 레벨로 된다. 그 결과, 1번째 리던던시 메인워드라인(RMWL1)이 활성화된다. 외부 로우 어드레스의 최하위 비트(X0)는 '1'이므로 프리디코딩 라인(RSWPD1)이 활성화되면서 리던던시 서브 로우 디코더(1)가 활성화된다. 그 결과, 서브워드라인(SWL1)은 리던던시 서브워드라인(RSWL3)으로 대체된다.

결론적으로 본 발명의 메모리 장치는, 외부로부터 입력되는 로우 어드레스의 최하위 비트를 제외한 상위 8비트가 퓨즈 회로들(310~313)에 저장된 결합있는 셀의 어드레스와 일치할 때 상기 로우 어드레스에 해당하는 서브워드라인은 리던던시 서브워드라인으로 대체된다. 즉, 하나의 메인워드라인과 대응하는 8 개의 서브워드라인들 가운데 결합있는 셀이 연결된 서브워드라인이 있을 때 종래에는 8 개의 서브워드라인들 전체를 리던던시 서브워드라인들로 대체하였으나, 본 발명에서는 결합있는 셀이 연결된 서브워드라인과 그 서브워드라인의 어드레스와 최하위비트만 다른 서브워드라인만이 2 개의 리던던시 서브워드라인으로 대체되도록 하였다. 특히, 메인워드라인과 연결된 서브워드라인들 가운데 정상적인 메인 메모리 셀이 연결된 서브워드라인이 지정될 때에는 상기 메인워드라인 선택기를 인에이블함으로써 리던던시 플렉시빌리티가 향상되며, 회로 면적을 축소시킬 수 있다.

발명의 효과

이와 같은 본 발명에 의하면, 리던던시 메인워드라인과 연결되는 서브워드라인들의 개수를 메인워드라인과 연결된 서브워드라인들의 개수보다 적게 함으로써 리던던시 플렉시빌리티를 향상시키고, 메모리 장치의 레이아웃을 최소화할 수 있다.

(5) 청구의 범위

청구항 1. 반도체 메모리 장치에 있어서:

적어도 하나의 메인워드라인과;

상기 메인워드라인에 대응하는 복수 개의 서브워드라인들과;

상기 서브워드라인들 각각에 연결되는 복수 개의 메인 메모리 셀들과;

제 1 외부 어드레스에 따라서 상기 서브 워드라인들 중 적어도 하나를 활성화시키는 서브워드라인 선택기와;

제 2 외부 어드레스에 따라서 상기 메인워드라인을 활성화시키는 메인워드라인 선택기와;

적어도 하나의 리던던시 메인워드라인과;

상기 리던던시 메인워드라인에 대응하는 복수 개의 리던던시 서브워드라인들과;

상기 리던던시 서브워드라인들 각각에 연결되는 복수 개의 리던던시 메모리 셀들; 그리고

상기 복수 개의 서브워드라인들 중 결합있는 메인 메모리 셀이 연결된 서브워드라인이 지정될 때 상기 메인워드라인 선택기를 디스에이블하고, 상기 서브워드라인이 상기 리던던시 메인워드라인으로 대체되도록 제어하는 리던던시 제어 회로를 포함하되;

상기 리던던시 메인워드라인에 연결되는 상기 리던던시 서브워드라인들의 개수는 상기 메인워드라인에 연결되는 상기 서브워드라인들의 개수보다 작고; 그리고

상기 리던던시 제어 회로는, 상기 복수 개의 서브워드라인들 중 정상인 메인 메모리 셀이 연결된 서브워드라인이 지정될 때 상기 메인워드라인 및 상기 서브워드라인 선택기들을 인에이블하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2. 제 1 항에 있어서,

상기 리던던시 제어 회로는, 상기 결합있는 메인 메모리 셀의 로우 어드레스를 저장하며, 저장된 어드레스와 외부로부터 입력되는 어드레스를 비교하고, 비교결과 그들이 일치하면 리던던시 인에이블 신호를 활성화시키는 적어도 하나의 퓨즈 회로를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3. 제 2 항에 있어서,

상기 메인워드라인 및 서브워드라인 선택기들은 상기 리턴던시 인에이블 신호가 비활성 상태일 때 인에이블되고, 상기 리턴던시 인에이블 신호가 활성 상태일 때 디스에이블되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4. 제 2 항에 있어서,

상기 리턴던시 제어 회로는,

상기 리턴던시 서브워드라인들 각각을 상기 리턴던시 메인 서브워드라인들에 연결하기 위한 복수 개의 리턴던시 서브 로우 디코더들; 및

상기 리턴던시 인에이블 신호가 활성 상태일 때 상기 제 1 외부 어드레스 중 일부 어드레스에 따라서 상기 리턴던시 서브 로우 디코더들 중 하나를 활성화시키는 리턴던시 디코더를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5. 반도체 메모리 장치에 있어서:

적어도 하나의 메인워드라인과;

상기 메인워드라인에 대응하는 복수 개의 서브워드라인들과;

상기 서브워드라인들 각각에 연결되는 복수 개의 메인 메모리 셀들과;

제 1 외부 어드레스에 따라서 상기 서브 워드라인들 중 적어도 하나를 활성화시키는 서브워드라인 선택기와;

제 2 외부 어드레스에 따라서 상기 메인워드라인을 활성화시키는 메인워드라인 선택기와;

적어도 하나의 리턴던시 메인워드라인과;

상기 리턴던시 메인워드라인에 대응하는 복수 개의 리턴던시 서브워드라인들과;

상기 리턴던시 서브워드라인들 각각에 연결되는 복수 개의 리턴던시 메모리 셀들과;

상기 복수 개의 서브워드라인들 중 결합있는 메인 메모리 셀이 연결된 서브워드라인이 지정될 때 상기 메인워드라인 선택기를 디스에이블하고, 상기 서브워드라인이 상기 리턴던시 메인워드라인으로 대체되도록 제어하는 리턴던시 제어 회로를 포함하고;

상기 리턴던시 메인워드라인에 연결되는 상기 리턴던시 서브워드라인들의 개수는 상기 메인워드라인에 연결되는 상기 서브워드라인들의 개수보다 작고; 그리고

상기 리턴던시 제어 회로는, 상기 복수 개의 서브워드라인들 중 정상인 메인 메모리 셀이 연결된 서브워드라인이 지정될 때 상기 메인워드라인 및 상기 서브워드라인 선택기들을 인에이블하며;

상기 리턴던시 제어 회로는, 상기 결합있는 메인 메모리 셀의 로우 어드레스를 저장하며, 저장된 어드레스와 외부로부터 입력되는 어드레스를 비교하고, 비교결과 그들이 일치하면 리턴던시 인에이블 신호를 활성화시키는 적어도 하나의 퓨즈 회로와;

상기 리턴던시 서브워드라인들 각각을 상기 리턴던시 메인 서브워드라인들에 연결하기 위한 복수 개의 리턴던시 서브 로우 디코더들; 및

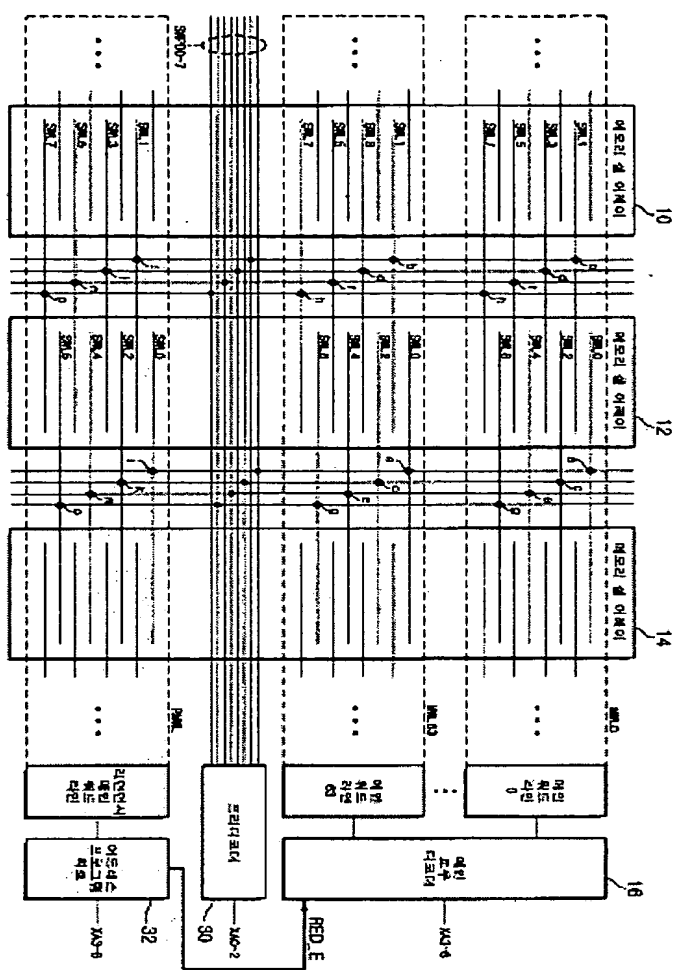
상기 리턴던시 인에이블 신호가 활성 상태일 때 상기 제 1 외부 어드레스 중 일부 어드레스에 따라서 상기 리턴던시 서브 로우 디코더들 중 하나를 활성화시키는 리턴던시 디코더를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6. 제 5 항에 있어서,

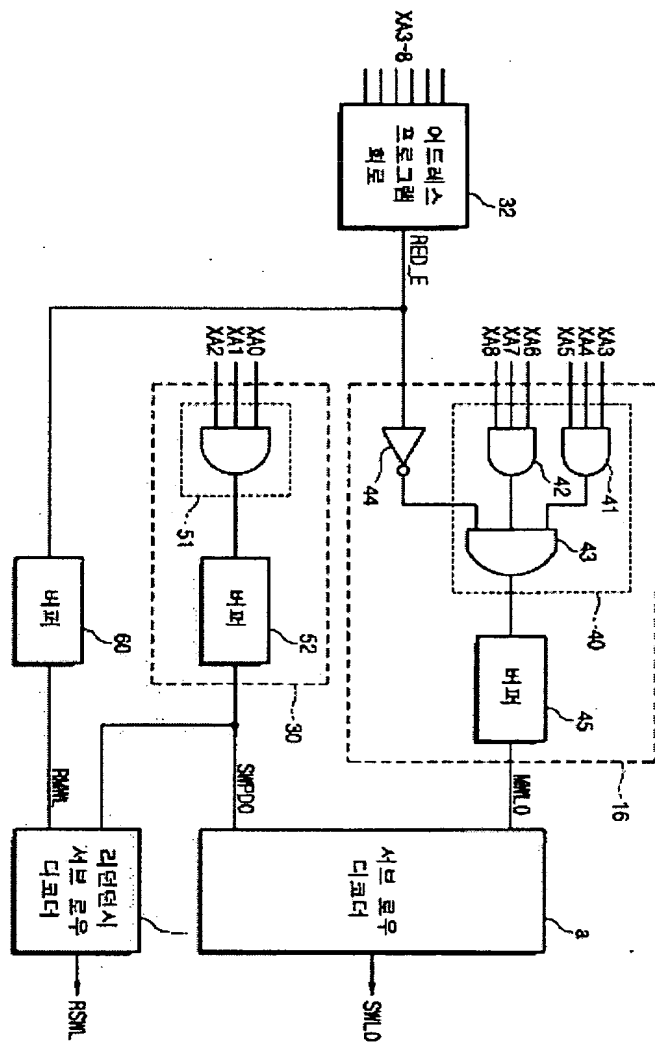
상기 메인워드라인 및 서브워드라인 선택기들은 상기 리턴던시 인에이블 신호가 비활성 상태일 때 인에이블되고, 상기 리턴던시 인에이블 신호가 활성 상태일 때 디스에이블되는 것을 특징으로 하는 반도체 메모리 장치.

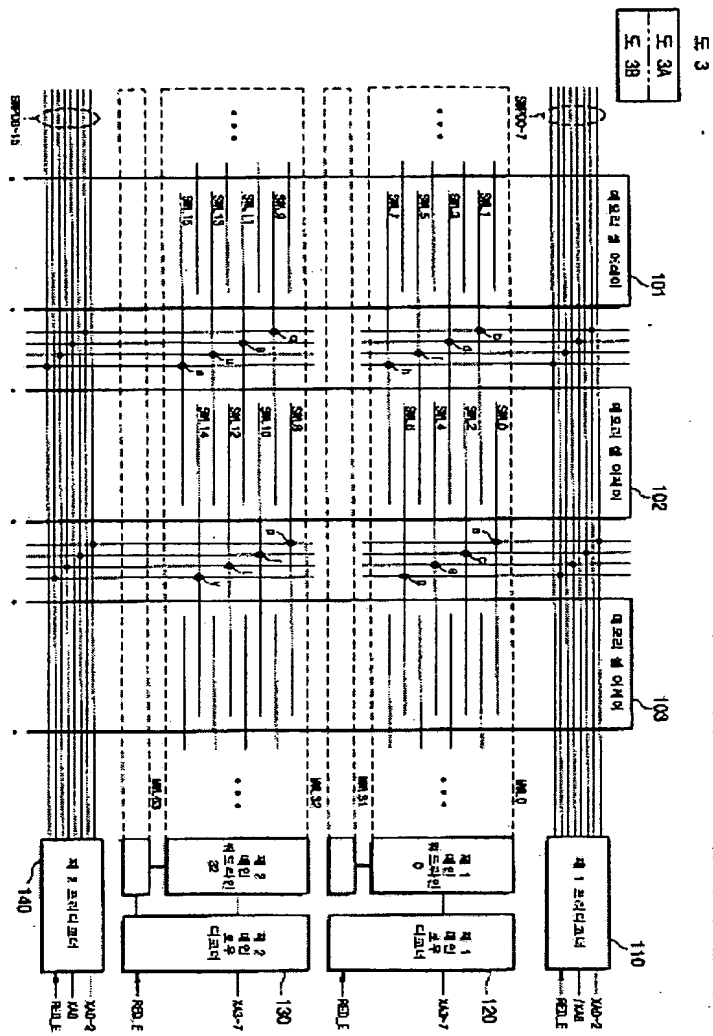
도면

도 1

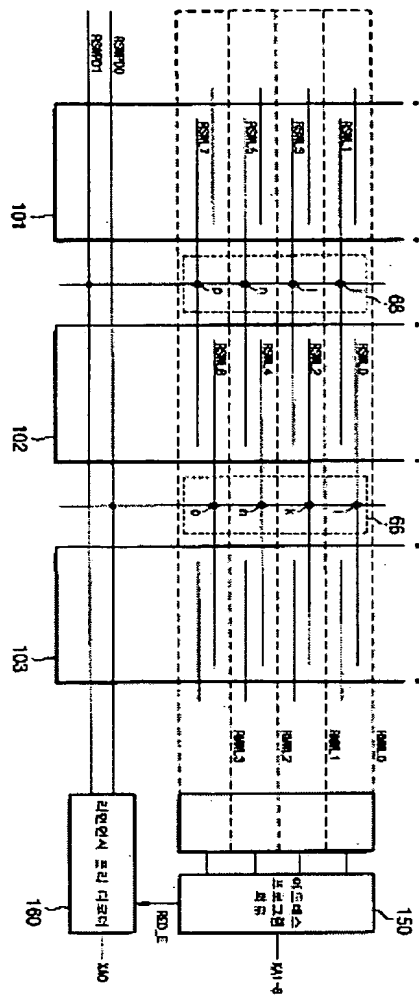


도 12

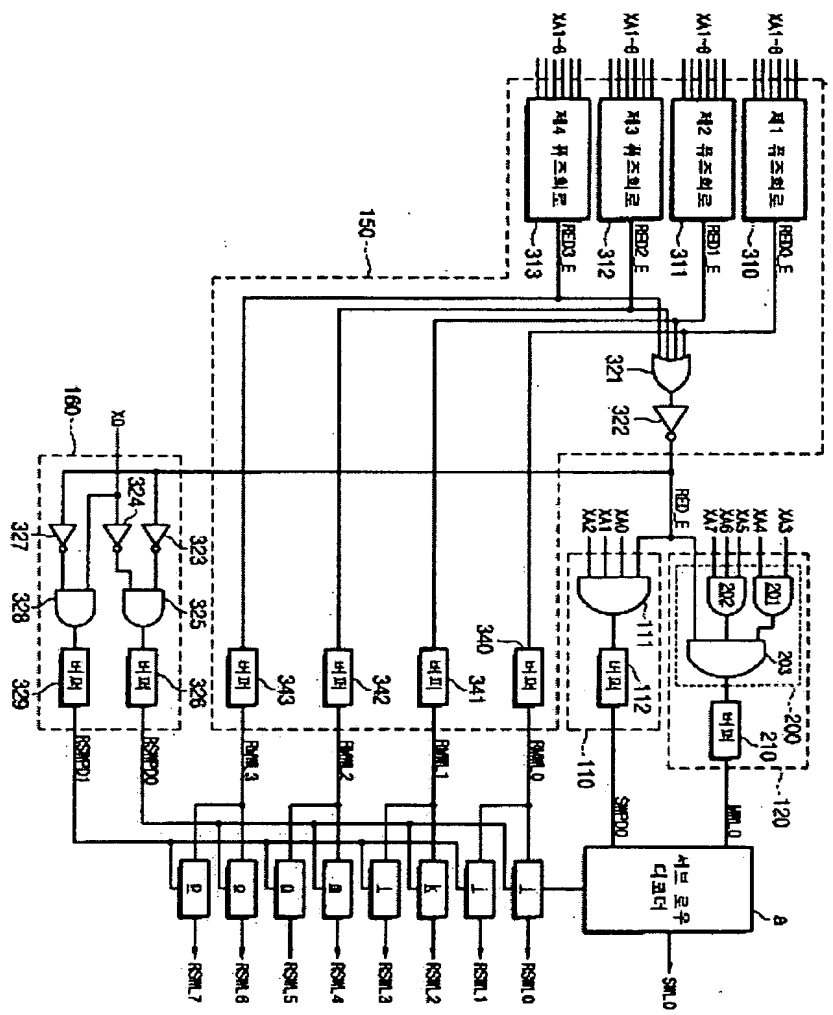




5936



도 14



도 25

